

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097263  
(43)Date of publication of application : 12.04.1996

(51)Int.Cl. H01L 21/66  
G01N 33/00

(21)Application number : 07-114317 (71)Applicant : NIPPON PRECISION CIRCUITS KK  
(22)Date of filing : 12.05.1995 (72)Inventor : KIYONO TATSUYA

(30)Priority

Priority number : 06174223 Priority date : 26.07.1994 Priority country : JP

## (54) CONTAMINATION DEGREE EVALUATING METHOD IN SEMICONDUCTOR DEVICE MANUFACTURING STEP

(57)Abstract:

PURPOSE: To provide a contamination degree evaluating method in semiconductor device manufacturing steps capable of evaluating the contamination degree in a plurality of manufacturing steps of semiconductor device.

CONSTITUTION: A silicon wafer with an oxygen concentration lower than  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>ASTM is subjected to actual semiconductor device manufacturing process at an arbitrary plurality of manufacturing steps as the objective contamination evaluation and then the silicon treated surface or section is acid-treated e.g. the secondary etching step, etc., to detect crystal defect counts by a differential interference microscope, etc., so that the contamination degree in said plurality of manufacturing steps may be evaluated according to the defect count.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97263

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl. <sup>6</sup> H 01 L 21/66 G 01 N 33/00	識別記号 N 7735-4M J 7735-4M A	序内整理番号 F I	技術表示箇所
---	-------------------------------------	---------------	--------

審査請求 未請求 請求項の数3 O L (全2頁)

(21) 出願番号 特願平7-114317	(71) 出願人 日本ブレシジョン・サーキツ株式会社 東京都中央区京橋二丁目6番21号
(22) 出願日 平成7年(1995)5月12日	(72) 発明者 清野 達也 栃木県那須郡塩原町大字下田野531-1
(31) 優先権主張番号 特願平6-174223	(73) 優先日 平6(1994)7月26日
(32) 優先権主張国 日本 (JP)	(74) 代理人 弁理士 松田 和子

(54) 【発明の名称】 半導体装置製造工程の汚染度評価方法

(57) 【要約】

【目的】 半導体装置の製造過程の所望の複数工程における汚染度を評価可能な半導体装置製造工程の汚染度評価方法を提供する。

【構成】 酸素濃度が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  ASTMより低いシリコンウェハに、汚染度評価対象である任意の複数の製造工程にて実際の半導体装置製造処理を施した後、シリコン面を露出させ、そのシリコン表面または断面にセコエッティング等の酸処理を施し、微分干渉顕微鏡等で結晶欠陥数を検出し、この欠陥数に基づいて上記複数の製造工程における汚染度を評価する。

## 【特許請求の範囲】

【請求項1】 酸素濃度が極めて低いシリコンウェハに所望の半導体装置製造工程を施し、この製造工程を施した上記シリコンウェハ内の結晶欠陥数に基づいて上記製造工程における上記シリコンウェハに対する汚染度を評価することを特徴とする半導体装置製造工程の汚染度評価方法。

【請求項2】 請求項1に記載の半導体装置製造工程の汚染度評価方法において、上記シリコンウェハの酸素濃度は、 $1.0 \times 10^{10}$  atoms/cm<sup>3</sup> ASTM (American Society for Testing Materials) より低いものであることを特徴とする半導体装置製造工程の汚染度評価方法。

【請求項3】 請求項1に記載の半導体装置製造工程の汚染度評価方法において、上記製造工程を施した上記シリコンウェハの表面または断面にセコエッティング等の酸処理を行なった後、そのシリコンウェハ内の結晶欠陥数に基づいて上記製造工程における上記シリコンウェハに対する汚染度を評価することを特徴とする半導体装置製造工程の汚染度評価方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造工程における汚染度の評価方法に関するものである。

## 【0002】

【従来の技術】 従来は、半導体装置の製造過程における汚染度の評価は、例えば物理分析 (T X R F、原子吸光 I C P - M S) や電気特性 (酸化膜耐圧、C-V特性) 等により、炉における加熱処理や洗浄槽における洗浄処理というように各工程ごとに行なっていた。

## 【0003】

【発明が解決しようとする課題】 上記従来の評価方法では、各工程における個別の汚染度は詳細に評価可能であるが、工程全般においてはウェハハンドリングや表面状態の影響を受けやすい等の外的要因により、複数の工程における汚染度評価は困難であった。

【0004】 本発明は、酸素濃度が極めて低いシリコンウェハを用い、ウェハハンドリングやウェハの表面状態の影響を受けることなく、半導体装置の製造過程の複数工程における汚染度を評価可能な半導体装置製造工程の汚染度評価方法を提供することを目的としている。

## 【0005】

【課題を解決するための手段】 本発明は、酸素濃度が極めて低いシリコンウェハに所望の半導体装置製造工程を施し、この製造工程を施した上記シリコンウェハ内の結晶欠陥数に基づいて上記製造工程における上記シリコンウェハに対する汚染度を評価することにより、上記課題を解決するものである。

【0006】 なお、上記シリコンウェハの酸素濃度は、 $1.0 \times 10^{10}$  atoms/cm<sup>3</sup> ASTMより低いものであること

が好ましい。

【0007】 また、上記製造工程を施した上記シリコンウェハの表面または断面にセコエッティング等の酸処理を行なった後、そのシリコンウェハ内の結晶欠陥数に基づいて上記製造工程における上記シリコンウェハに対する汚染度を評価することが好ましい。

## 【0008】

【実施例】 以下、本発明の一実施例を説明する。

【0009】 本発明方法においては、酸素濃度が $1.0 \times 10^{10}$  atoms/cm<sup>3</sup> ASTMより低いシリコンウェハ（以下、極低酸素濃度シリコンウェハという。）を用いる。これは、極低酸素濃度シリコンウェハは、汚染要因が存在する製造工程で処理した場合に、点欠陥または積層欠陥が生じやすいという特徴を有しているからである。

【0010】 上記極低酸素濃度シリコンウェハを、汚染度評価対象である所望の複数の製造工程にて処理を行なう。この処理は、酸素濃度が $1.4 \sim 1.7 \times 10^{10}$  atoms/cm<sup>3</sup> ASTM程度の通常の酸素濃度シリコンウェハに実際に半導体装置を形成する際の処理と同じものである。

【0011】 上記処理を終了したら、そのシリコンウェハに表面処理を施してシリコン面を露出させ、そのシリコン表面または断面にセコエッティング等の酸処理を施し、微分干渉顕微鏡等で結晶欠陥数を検出する。

【0012】 もともと、上記通常の酸素濃度シリコンウェハには $10^3$  個/cm<sup>2</sup> 程度の欠陥が存在し、上記極低酸素濃度シリコンウェハにはほとんど欠陥が存在しない。製造工程に汚染要因が存在しない場合は、両者の欠陥数はそれほどほとんど増加しないが、汚染要因が存在する場合は、両者とも $10^3$  個/cm<sup>2</sup> 程度の欠陥が発生する。上記通常の酸素濃度シリコンウェハには、もともと $10^3$  個/cm<sup>2</sup> 程度の欠陥が存在するので、 $10^3$  個/cm<sup>2</sup> 程度の欠陥が増えても、その増加数は把握し難い。これに対して、上記極低酸素濃度シリコンウェハは、もともと欠陥がほとんど存在しない状態から、 $10^3$  個/cm<sup>2</sup> 程度の欠陥が発生するので、その増加数を把握し易い。この欠陥数に基づいて、上記汚染度評価対象である複数の製造工程における汚染度を評価する。

【0013】 以上のようにして、半導体装置の製造過程における所望の複数工程における汚染度を評価する。

## 【0014】

【発明の効果】 本発明によれば、酸素濃度が極めて低いシリコンウェハに対して、半導体装置の製造過程における所望の複数工程の処理を施し、そのシリコンウェハに生じた欠陥数に基づいて、その所望の複数工程の汚染度を評価することが可能なので、表面処理の方法やウェハハンドリング等の物理的な外的要因の影響を受けることなく、任意の複数工程の汚染度を定量的に評価することができる。

## 【0015】